

日本国特許庁
JAPAN PATENT OFFICE

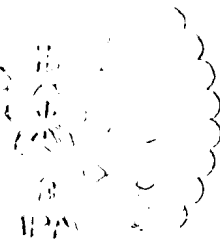
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月31日

出願番号
Application Number: 特願2003-095926
[ST. 10/C]: [JP2003-095926]

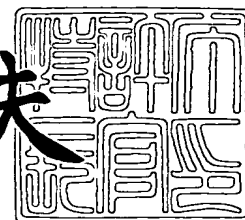
出願人
Applicant(s): 松下電器産業株式会社



2004年 2月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3009574

【書類名】 特許願

【整理番号】 2923240023

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
 会社内

 【氏名】 山田 徹

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

 【予納台帳番号】 139757

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子

【特許請求の範囲】

【請求項 1】 第 1 導電型半導体基板または第 1 導電型ウェルの表面領域に形成された複数の第 2 導電型光電変換領域と、前記光電変換領域に隣接して設けられた第 2 導電型 C C D チャンネル領域と、前記光電変換領域と前記 C C D チャンネル領域との間に設けられた第 1 導電型電荷読み出し領域と、前記光電変換領域の前記読み出し領域を除く周囲に設けられた第 1 導電型素子分離領域と、前記 C C D チャンネル領域上に設けられた複数の第 1 電荷転送電極と、前記複数の第 1 電荷転送電極間に設けられた第 2 の電荷転送電極とを有する固体撮像素子であって、

前記第 2 電荷転送電極は、前記第 1 電荷転送電極よりも電荷転送方向の電極長が長く、かつ前記光電変換領域からの電荷読み出しゲートを兼ねており、さらに前記第 2 電荷転送電極下の C C D チャンネル領域には、電荷転送方向に向かって深くなっていくポテンシャル勾配が設けられていることを特徴とする固体撮像素子。

【請求項 2】 前記第 2 電荷転送電極下の第 2 導電型 C C D チャンネル領域の電荷転送方向の上流側部分に第 1 導電型不純物がイオン注入されることにより、少なくとも 1 段のポテンシャル段差が設けられている請求項 1 記載の固体撮像素子。

【請求項 3】 前記第 1 電荷転送電極が 1 層目の電極膜で構成され、前記第 1 導電型不純物のイオン注入される領域の一端が、前記第 1 電荷転送電極の端部に自己整合で形成されている請求項 2 記載の固体撮像素子。

【請求項 4】 前記第 2 電荷転送電極下の第 2 導電型 C C D チャンネル領域の電荷転送方向の下流側部分に第 2 導電型不純物がイオン注入されることにより、少なくとも 1 段のポテンシャル段差が設けられている請求項 1 記載の固体撮像素子。

【請求項 5】 前記第 1 電荷転送電極が 1 層目の電極膜で構成され、前記第 2 導電型不純物のイオン注入される領域の一端が、前記第 1 電荷転送電極の端部に自己整合で形成されている請求項 4 記載の固体撮像素子。

【請求項 6】 前記第 2 電荷転送電極下の第 2 導電型 C C D チャンネル領域において、電荷転送方向の上流側部分に第 1 導電型不純物がイオン注入され、電荷転送方向の下流側部分に第 2 導電型不純物がイオン注入されることにより、少なくとも 2 段のポテンシャル段差が設けられている請求項 1 記載の固体撮像素子。

【請求項 7】 前記第 1 電荷転送電極が 1 層目の電極膜で構成され、前記第 1 導電型不純物および前記第 2 導電型不純物のイオン注入される領域の一端が、前記第 1 電荷転送電極の端部に自己整合で形成されている請求項 6 記載の固体撮像素子。

【請求項 8】 前記 C C D チャンネル領域上における前記第 1 電荷転送電極の電荷転送方向の上流側端部の位置が、電荷転送方向に隣り合う前記光電変換領域の隙間の間に位置している請求項 1 から 7 のいずれか一項記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像素子に関し、特に、インターライン転送型の固体撮像素子のような、光電変換領域にて生成され同領域に蓄積された信号電荷を C C D（電荷結合素子）を介して読み出すように構成された固体撮像素子に関する。

【0002】

【従来の技術】

近年、固体撮像素子を用いた家庭用ビデオカメラ、デジタルカメラが広く普及している。これらのカメラでは、光電変換領域で生成され、同領域に蓄積された信号電荷を、C C D を介して読み出すインターライン転送型の固体撮像素子が広く利用されている。このようなインターライン転送型の固体撮像素子では、消費電力を低減するため、また搭載している液晶モニターと電源を共通化するために、読み出し電圧を低減させる取り組みがなされている。

【0003】

この読み出し電圧を低減する取り組みとして、垂直 C C D を構成する複数の電荷転送電極のうち、光電変換領域で生成および蓄積された信号電荷を垂直 C C D に送る読み出しゲートを兼ねる電荷転送電極を、それ以外の電荷転送電極よりも

転送方向の電極長が長くなるように構成した固体撮像素子が提案されている（例えば、特許文献1参照）。以下に、このような読み出し電圧を低減させた従来のインターライン転送型の固体撮像素子について説明する。

【0004】

図17は、従来のインターライン転送型の固体撮像素子の全体構成を概略的に示す模式図である。図17において、100は光電変換を行うフォトダイオード、200は信号電荷を縦方向に転送する垂直CCD、300は、信号電荷をフォトダイオード100から垂直CCD200へ読み出すための信号電荷読み出し部、400は信号電荷を横方向に転送する水平CCD、500は信号電荷を検知し増幅する出力部である。通常、光電変換を行うフォトダイオード100および垂直CCD200の組で構成される領域Iを画素と呼んでいる。

【0005】

このように構成された固体撮像素子の動作は概略次の通りである。各フォトダイオード100は、光電変換により入射光量に応じた信号電荷を生成し蓄積しておく。一定の蓄積期間経過後の垂直ブランキング期間内に、フォトダイオード内に蓄積された信号電荷は、信号電荷読み出し部300を介して隣接する垂直CCD200に一括して読み出される。続いて、この信号電荷は、複数の垂直CCD200を並列に図の下方に向かって一段ずつ転送され、各垂直CCDの最終転送段から1行分ずつ水平CCD400へ転送される。次いで、この信号電荷は、水平CCD400を図の左方に順次転送され、出力部500において電圧信号に変換された後、時系列の映像信号として出力される。

【0006】

図18Aは、図17のIにて囲まれた部分の画素構成を示す平面図であり、図18Bは、図18AのII-II'線に沿った断面図である。図18Aまたは図18Bにおいて、501はn型拡散層からなる光電変換領域、502はn型拡散層からなる垂直CCD200のCCDチャネル領域、503は第1層ポリシリコンにより形成された垂直CCD200の第1電荷転送電極、504は第2層ポリシリコンにより形成された垂直CCD200の第2電荷転送電極、505は第2電荷転送電極504の光電変換領域501からの電荷読み出し部分、506はn型半

導体基板、507はp型ウェル、508は光電変換領域501内に蓄積された信号電荷をCCDチャネル領域502へ読み出すためのp型読み出し領域、509は各光電変換領域501やCCDチャネル領域502を互いに分離するためのp⁺型素子分離領域、510はゲート絶縁膜、511は第1電荷転送電極503と第2電荷転送電極504を絶縁するための層間絶縁膜である。なお、図18Bにおいて、 $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ は転送クロックを示す。

【0007】

光電変換領域501において光電変換により生成されここに蓄積された信号電荷は、第2電荷転送電極504に例えば8～15Vの電圧振幅を有する読み出しパルスを印加することにより、p型読み出し領域508を通してCCDチャネル領域502へ読み出される。その後、第1電荷転送電極503および第2電荷転送電極504に例えば-5～-8Vの電圧振幅を有する転送パルスを印加することにより、信号電荷はCCDチャネル領域502を、図18Bにおいて右から左へ転送される。p型読み出し領域508は、第2電荷転送電極504に読み出しパルスが印加されたときに導通して光電変換領域501内の信号電荷を完全にCCDチャネル領域内へ転送できるように、かつ、第1電荷転送電極503および第2電荷転送電極504に転送パルスが印加されてCCDチャネル領域502内を信号電荷が転送されているときには、非導通状態を維持できるように、その不純物濃度が最適値に設定されている。

【0008】

【特許文献1】

特許第2950317号公報

【0009】

【発明が解決しようとする課題】

光電変換領域501に蓄積された電荷をCCDチャネル領域502に読み出すために、第2電荷転送電極504に印加する電圧振幅は、駆動回路の制約から15V以下であることが要求される。ここで、素子分離領域509および第1電荷転送電極503により規定される第2電荷転送電極504の電荷読み出し部分505の幅W（図18A）が狭いと、狭チャネル効果によりp型読み出し領域50

8が導通しにくくなり、読み出し電圧が増加する。

【0010】

この問題を回避するために、従来の固体撮像素子では、電荷読み出し部分505の幅Wを狭チャネル効果が顕著に現れない程度に広げて形成していた。すなわち、図18Bに示されるように、読み出しゲートを兼ねる第2電荷転送電極504の電極長L1が、第1電荷転送電極503の電極長L2と比較して長くなるように電荷読み出し部分505が形成されていた。

【0011】

一般に、CCDの転送効率の主として転送電極と転送電極との間に発生するフリンジ電界により決定される。特に、転送電極下の最小電界に大きく依存し、最小電界が大きいほど転送に要する時間（転送時間）が短くなり、転送効率は向上する。

【0012】

図19Aは、図18Bの垂直CCDを部分的に示す断面図で、図19Bは、この垂直CCDを $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の4相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第1電荷転送電極503がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図で、図19Cは、 $\Phi V1$ の印加されている第2電荷転送電極504がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図である。図19Bおよび図19Cにおいて、ポテンシャルは下向きを正にとって示されている。

【0013】

図19Aに示されるように、従来の固体撮像素子では、読み出し電圧を低減するために、第2電荷転送電極504の電極長L1は、第1電荷転送電極503の電極長L2よりも長く形成されていた。そのため、 $\Phi V1$ の印加されている第2電荷転送電極504下の最小電界512は、図19Cに示されるように、電極長が長く形成されている第2電荷転送電極504の中央部にあらわれ、その値はこの電極の電極長L1が長くなるほど低くなっていった。

【0014】

このように、従来の固体撮像素子では、読み出し電圧を低減するために第2電荷転送電極504の電極長L1を長くすればするほど最小電界が弱くなり、転送効率が低下するという問題を抱えていた。

【0015】

本発明は、かかる問題点に鑑みてなされたものであり、その目的は、読み出し電圧を低減するために電荷転送電極の電極長を長くしても、その電荷転送電極下の最小電界を大きくして転送効率を向上させ、読み出し電圧の低減と転送効率の向上を両立させた固体撮像素子を提供することにある。

【0016】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る固体撮像素子は、第1導電型半導体基板または第1導電型ウェルの表面領域に形成された複数の第2導電型光電変換領域と、光電変換領域に隣接して設けられた第2導電型CCDチャネル領域と、光電変換領域とCCDチャネル領域との間に設けられた第1導電型電荷読み出し領域と、光電変換領域の読み出し領域を除く周囲に設けられた第1導電型素子分離領域と、CCDチャネル領域上に設けられた複数の第1電荷転送電極と、複数の第1電荷転送電極間に設けられた第2の電荷転送電極とを有する固体撮像素子であって、第2電荷転送電極は、第1電荷転送電極よりも電荷転送方向の電極長が長く、かつ光電変換領域からの電荷読み出しゲートを兼ねており、さらに第2電荷転送電極下のCCDチャネル領域には、電荷転送方向に向かって深くなっていくポテンシャル勾配が設けられていることを特徴とする。

【0017】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照して説明する。なお、以下の各実施の形態において、インターライン転送型の固体撮像素子の全体構成および信号電荷の読み出しおよび転送動作については、図17を参照して説明した従来例と同様である。以下の各実施の形態が従来例と異なるのは、画素を構成する部分、特に垂直CCDの構造にある。よって、以下では主に垂直CCDの構造および製造方法について説明する。なお、従来例と同様の構造を有する部分に

については、同一の符号を付して説明を省略する。

【0018】

(実施の形態1)

図1Aは、本発明の実施の形態1に係る固体撮像素子における画素構成を示す平面図であり、図1Bは、図1AのII-II'線に沿った断面図である。

【0019】

図1Aおよび図1Bにおいて、本実施の形態が、図18Aおよび図18Bに示す従来例と異なるのは、第2電荷転送電極504下でCCDチャネル領域102の電荷転送方向の上流側部分にポテンシャル勾配を形成するためのn-型ポテンシャル段差領域113を設けた点にある。

【0020】

次に、かかる固体撮像素子の製造方法について、図2A、図2Bおよび図2Cを参照して説明する。図2A～図2Cは、図1Bに断面図で示す垂直CCDの各製造工程における断面図である。

【0021】

まず、図2Aに示すように、n型半導体基板506にp型不純物をイオン注入することによりp型ウェル507が形成され、p型ウェル507の表面領域にn型不純物をイオン注入することによりCCDチャネル領域102が形成され、CCDチャネル領域102の表面に熱酸化膜およびCVD (Chemical Vapor Deposition) 窒化膜を成長させることによりゲート絶縁膜510が形成され、ゲート絶縁膜510上に第1層ポリシリコンを形成した後に、これをパターニング除去することにより第1電荷転送電極503が形成される。

【0022】

次に、図2Bに示すように、第1電荷転送電極503の電荷転送方向の上流側部分に開口の開いたフォトレジスト116が形成され、フォトレジスト116および第1電荷転送電極503をマスクとして、自己整合的にボロンなどのp型不純物をイオン注入することによりn-型ポテンシャル段差領域113が形成される。

【0023】

次に、図 2 C に示すように、フォトリソスト 116 を除去した後、第 1 電荷転送電極 503 の周囲を熱酸化することにより層間絶縁膜 511 が形成され、ゲート絶縁膜 510 上の第 1 電荷転送電極 503 の隙間に第 2 層ポリシリコンからなる第 2 電荷転送電極 504 が形成されることにより、本実施の形態による固体撮像素子が製造される。

【0024】

次に、このようにして製造された固体撮像素子の利点について、図 3 A、図 3 B および図 3 C を参照して説明する。

【0025】

図 3 A は、図 1 B または図 2 C の垂直 CCD を部分的に示す断面図で、図 3 B は、この垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図で、図 3 C は、 $\Phi V1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図である。図 3 B および図 3 C において、ポテンシャルは下向きを正にとって示されている。

【0026】

前にも述べたように、一般に、CCD の転送効率は、主として転送電極と転送電極との間に発生するフリンジ電界により決定され、特に、転送電極下の最小電界に大きく依存し、最小電界が大きいほど転送に要する時間（転送時間）が短くなり、転送効率は向上する。

【0027】

図 3 A に示されるように、本実施の形態による固体撮像素子では、読み出し電圧を低減するために、第 2 電荷転送電極 504 の電極長 $L1$ は、第 1 電荷転送電極 503 の電極長 $L2$ よりも長く形成されると同時に、第 2 電荷転送電極 504 下の CCD チャネル領域 102 には、ポテンシャル勾配を形成するための n-型ポテンシャル段差領域 113 が形成されている。

【0028】

その結果、図3Cに示されるように、第2電荷転送電極504の下には、n-型ポテンシャル段差領域113により1段のポテンシャル段差114が形成され、第2電荷転送電極504下の最小電界112は、従来例の固体撮像素子の最小電界512よりも大きくなる。

【0029】

このように、本実施の形態による固体撮像素子によれば、読み出し電圧を低減させるために、第2電荷転送電極504の電極長L1を第1電荷転送電極503の電極長L2よりも長く形成しても、第2電荷転送電極504下でCCDチャネル領域102の電荷転送方向で上流側部分にn-型ポテンシャル段差領域113を形成することにより、第2電荷転送電極504下の最小電界112を大きくすることができるため、読み出し電圧の低減と転送効率の向上を両立させることができる。

【0030】

また、本実施の形態による固体撮像素子では、CCDチャネル領域102の一部にn-型ポテンシャル段差領域113を形成することにより、従来例の固体撮像素子よりもn-型ポテンシャル段差領域113のポテンシャルの広がりが抑えられるため、CCDチャネル領域102以外で光電変換により発生し、CCDチャネル領域102に直接電荷が流れ込むことにより発生するスミアを低減でき、またn-型ポテンシャル段差領域113で発生する暗電流を低減できる。

【0031】

さらに、本実施の形態による固体撮像素子の製造方法では、n-型ポテンシャル段差領域113の電荷転送方向の上流側部分が第1電荷転送電極503に対して自己整合的に形成されるため、マスクの合わせずれなどによりn-型ポテンシャル段差領域113が第1電荷転送電極503の下に入り込んだり、第1電荷転送電極503の電荷転送方向の下流側部分との間に隙間が生じたりすることが無いため、安定して転送効率の高い固体撮像素子を製造することができる。

【0032】

なお、上記本実施の形態では、第2電荷転送電極504下にn-型ポテンシャル段差領域113を1つ形成することにより、1段のポテンシャル段差を形成す

るものとして説明および例示した。しかし、本発明はこれに限定されず、本実施の形態の変形例として図4に示すように、第2電荷転送電極504下のCCDチャネル領域102にn⁻型ポテンシャル段差領域113aおよびn⁻型ポテンシャル段差領域113bを形成するなどの方法により、2段以上のポテンシャル段差を形成しても良い。これにより、第2電荷転送電極504下の最小電界がさらに大きくなるため、転送効率をいっそう向上させることができる。

【0033】

(実施の形態2)

図5Aは、本発明の実施の形態2に係る固体撮像素子における画素構成を示す平面図であり、図5Bは、図5AのII-II'線に沿った断面図である。

【0034】

図5Aおよび図5Bにおいて、本実施の形態が、図1Aおよび図1Bに示す実施の形態1と異なるのは、第2電荷転送電極504下でCCDチャネル領域202の電荷転送方向の下流側部分にポテンシャル勾配を形成するためのn⁺型ポテンシャル段差領域215を設けた点にある。

【0035】

次に、かかる固体撮像素子の製造方法について、図6A、図6Bおよび図6Cを参照して説明する。図6A～図6Cは、図5Bに断面図で示す垂直CCDの各製造工程における断面図である。

【0036】

まず、図6Aに示すように、n型半導体基板506にp型不純物をイオン注入することによりp型ウェル507が形成され、p型ウェル507の表面領域にn型不純物をイオン注入することによりCCDチャネル領域202が形成され、CCDチャネル領域202の表面に熱酸化膜およびCVD窒化膜を成長させることによりゲート絶縁膜510が形成され、ゲート絶縁膜510上に第1層ポリシリコンを形成した後に、これをパターニング除去することにより第1電荷転送電極503が形成される。ここまでは、実施の形態1と同じである。

【0037】

次に、図6Bに示すように、第1電荷転送電極503の電荷転送方向の下流側

部分に開口の開いたフォトレジスト 216 が形成され、フォトレジスト 216 および第 1 電荷転送電極 503 をマスクとして、自己整合的にリンやヒ素などの n 型不純物をイオン注入することにより n⁺型ポテンシャル段差領域 215 が形成される。

【0038】

次に、図 6 C に示すように、フォトレジスト 216 を除去した後、第 1 電荷転送電極 503 の周囲を熱酸化することにより層間絶縁膜 511 が形成され、ゲート絶縁膜 510 上の第 1 電荷転送電極 503 の隙間に第 2 層ポリシリコンからなる第 2 電荷転送電極 504 が形成されることにより、本実施の形態による固体撮像素子が製造される。

【0039】

次に、このようにして製造された固体撮像素子の利点について、図 7 A、図 7 B および図 7 C を参照して説明する。

【0040】

図 7 A は、図 5 B または図 6 C の垂直 CCD を部分的に示す断面図で、図 7 B は、この垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図で、図 7 C は、 $\Phi V1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図である。図 7 B および図 7 C において、ポテンシャルは下向きを正にとって示されている。

【0041】

前にも述べたように、一般に、CCD の転送効率は、主として転送電極と転送電極との間に発生するフリンジ電界により決定され、特に、転送電極下の最小電界に大きく依存し、最小電界が大きいほど転送に要する時間（転送時間）が短くなり、転送効率は向上する。

【0042】

図 7 A に示されるように、本実施の形態による固体撮像素子では、読み出し電

圧を低減するために、第 2 電荷転送電極 5 0 4 の電極長 L 1 は、第 1 電荷転送電極 5 0 3 の電極長 L 2 よりも長く形成されると同時に、第 2 電荷転送電極 5 0 4 下で C C D チャンネル領域 2 0 2 の電荷転送方向の下流側部分には、ポテンシャル勾配を形成するための n+型ポテンシャル段差領域 2 1 5 が形成されている。

【 0 0 4 3 】

その結果、図 7 C に示されるように、第 2 電荷転送電極 5 0 4 の下には、n+型ポテンシャル段差領域 2 1 5 により 1 段のポテンシャル段差 2 1 4 が形成され、第 2 電荷転送電極 5 0 4 下の最小電界 2 1 2 は、従来例の固体撮像素子の最小電界 5 1 2 よりも大きくなる。

【 0 0 4 4 】

このように、本実施の形態による固体撮像素子によれば、読み出し電圧を低減させるために、第 2 電荷転送電極 5 0 4 の電極長 L 1 を第 1 電荷転送電極 5 0 3 の電極長 L 2 よりも長く形成しても、第 2 電荷転送電極 5 0 4 下で C C D チャンネル領域 2 0 2 の電荷転送方向の下流側部分に n+型ポテンシャル段差領域 2 1 5 を形成することにより、第 2 電荷転送電極 5 0 4 下の最小電界 2 1 2 を大きくすることができるため、読み出し電圧の低減と転送効率の向上を両立させることができる。

【 0 0 4 5 】

また、本実施の形態による固体撮像素子では、C C D チャンネル領域 2 0 2 の一部に n+型ポテンシャル段差領域 2 1 5 を形成することにより、従来例の固体撮像素子よりも n+型ポテンシャル段差領域 2 1 5 の n 型不純物濃度を高くすることができるため、垂直 C C D の最大転送電荷量を増加させることができる。

【 0 0 4 6 】

さらに、本実施の形態による固体撮像素子の製造方法では、n+型ポテンシャル段差領域 2 1 5 の電荷転送方向の下流側部分が第 1 電荷転送電極 5 0 3 に対して自己整合的に形成されるため、マスクの合わせずれなどにより n+型ポテンシャル段差領域 2 1 5 が第 1 電荷転送電極 5 0 3 の下に入り込んだり、第 1 電荷転送電極 5 0 3 の電荷転送方向の上流側部分との間に隙間が生じたりすることが無いため、安定して転送効率の高い固体撮像素子を製造することができる。

【0047】

なお、上記本実施の形態では、第2電荷転送電極504下にn⁺型ポテンシャル段差領域215を1つ形成することにより、1段のポテンシャル段差を形成するものとして説明および例示した。しかし、本発明はこれに限定されず、本実施の形態の変形例として図8に示すように、第2電荷転送電極504下のCCDチャネル領域202にn⁺⁺型ポテンシャル段差領域215aおよびn⁺型ポテンシャル段差領域215bを形成するなどの方法により、2段以上のポテンシャル段差を形成しても良い。これにより、第2電荷転送電極504下の最小電界がさらに大きくなるため、転送効率をいっそう向上させることができる。

【0048】

(実施の形態3)

図9Aは、本発明の実施の形態3に係る固体撮像素子における画素構成を示す平面図であり、図9Bは、図9AのII-II'線に沿った断面図である。

【0049】

図9Aおよび図9Bにおいて、本実施の形態が、図1Aおよび図1Bに示す実施の形態1と異なるのは、第2電荷転送電極504下でCCDチャネル領域302において、電荷転送方向の上流側部分にポテンシャル勾配を形成するためのn⁻型ポテンシャル段差領域313と、電荷転送方向の下流側部分にポテンシャル勾配を形成するためのn⁺型ポテンシャル段差領域315とを設けた点にある。

【0050】

次に、かかる固体撮像素子の製造方法について、図10A、図10B、図10Cおよび図10Dを参照して説明する。図10A～図10Dは、図9Bに断面図で示す垂直CCDの各製造工程における断面図である。

【0051】

まず、図10Aに示すように、n型半導体基板506にp型不純物をイオン注入することによりp型ウェル507が形成され、p型ウェル507の表面領域にn型不純物をイオン注入することによりCCDチャネル領域302が形成され、CCDチャネル領域302の表面に熱酸化膜およびCVD窒化膜を成長させることによりゲート絶縁膜510が形成され、ゲート絶縁膜510上に第1層ポリシ

リコンを形成した後に、これをパターニング除去することにより第1電荷転送電極503が形成される。

【0052】

次に、図10Bに示すように、第1電荷転送電極503の電荷転送方向の上流側部分に開口の開いたフォトレジスト316aが形成され、フォトレジスト316aおよび第1電荷転送電極503をマスクとして、自己整合的にボロンなどのp型不純物をイオン注入することによりn-型ポテンシャル段差領域313が形成される。

【0053】

次に、図10Cに示すように、第1電荷転送電極503の電荷転送方向の下流側部分に開口の開いたフォトレジスト316bが形成され、フォトレジスト316bおよび第1電荷転送電極503をマスクとして、自己整合的にリンやヒ素などのn型不純物をイオン注入することによりn+型ポテンシャル段差領域315が形成される。

【0054】

次に、図10Dに示すように、第1電荷転送電極503の周囲を熱酸化することにより層間絶縁膜511が形成され、ゲート絶縁膜510上の第1電荷転送電極503の隙間に第2層ポリシリコンからなる第2電荷転送電極504が形成されることにより、本実施の形態による固体撮像素子が製造される。

【0055】

次に、このようにして製造された固体撮像素子の利点について、図11A、図11Bおよび図11Cを参照して説明する。

【0056】

図11Aは、図9Bまたは図10Dの垂直CCDを部分的に示す断面図で、図11Bは、この垂直CCDを $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の4相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第1電荷転送電極503がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図で、図11Cは、 $\Phi V1$ の印加されている第2電荷転送電極504がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する

る途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図である。図 11B および図 11C において、ポテンシャルは下向きを正にとって示されている。

【0057】

前にも述べたように、一般に、CCDの転送効率は、主として転送電極と転送電極との間に発生するフリンジ電界により決定され、特に、転送電極下の最小電界に大きく依存し、最小電界が大きいほど転送に要する時間（転送時間）が短くなり、転送効率は向上する。

【0058】

図 11A に示されるように、本実施の形態による固体撮像素子では、読み出し電圧を低減するために、第 2 電荷転送電極 504 の電極長 L1 は、第 1 電荷転送電極 503 の電極長 L2 よりも長く形成されると同時に、第 2 電荷転送電極 504 下の CCD チャネル領域 302 において、電荷転送方向の上流側部分には、ポテンシャル勾配を形成するための n⁻型ポテンシャル段差領域 313 が形成され、電荷転送方向の下流側部分には、ポテンシャル勾配を形成するための n⁺型ポテンシャル段差領域 315 が形成されている。

【0059】

その結果、図 11C に示されるように、第 2 電荷転送電極 504 の下には、n⁻型ポテンシャル段差領域 313 および n⁺型ポテンシャル段差領域 315 により 2 段のポテンシャル段差 314 が形成され、第 2 電荷転送電極 504 下の最小電界 312 は、実施の形態 1 および 2 による固体撮像素子の最小電界よりも更になる。

【0060】

このように、本実施の形態による固体撮像素子によれば、読み出し電圧を低減させるために、第 2 電荷転送電極 504 の電極長 L1 を第 1 電荷転送電極 503 の電極長 L2 よりも長く形成しても、第 2 電荷転送電極 504 下の CCD チャネル領域 302 において、電荷転送方向の上流側に n⁻型ポテンシャル段差領域 313 を形成し、電荷転送方向の下流側に n⁺型ポテンシャル段差領域 315 を形成することにより、第 2 電荷転送電極 504 下の最小電界 312 を更に大きくす

ることができるため、読み出し電圧の低減と転送効率のいっそうの向上を両立させることができる。

【0061】

また、本実施の形態による固体撮像素子の製造方法では、 n -型ポテンシャル段差領域 313 の電荷転送方向の上流側部分と、 n +型ポテンシャル段差領域 315 の電荷転送方向の下流側部分とが、第 1 電荷転送電極 503 に対して自己整合的に形成されるため、マスクの合わせずれなどにより n -型ポテンシャル段差領域 313 および n +型ポテンシャル段差領域 315 が第 1 電荷転送電極 503 の下に入り込んだり、第 1 電荷転送電極 503 との間に隙間が生じたりすることが無いため、安定して転送効率の高い固体撮像素子を製造することができる。

【0062】

なお、本実施の形態の変形例として、図 12A の平面図および図 12B の断面図で示されるように、実施の形態 1 および 2 の固体撮像素子よりも、第 1 電荷転送電極 303 の電極長 L_2' を短くして ($L_2' < L_2$)、第 2 電荷転送電極 304 の電極長 L_1' を長くする ($L_1' > L_1$) ことにより、電荷読み出し部分 305 の幅 W' (図 12A) を広く形成する ($W' > W$) ことができるため、高い転送効率を維持しながら、実施の形態 1 および 2 による固体撮像素子よりも読み出し電圧を更に低減することができる。

【0063】

(実施の形態 4)

図 13A は、本発明の実施の形態 4 に係る固体撮像素子における画素構成を示す平面図であり、図 13B は、図 13A の II-II' 線に沿った断面図である。

【0064】

図 13A および図 13B において、本実施の形態が、図 9A および図 9B に示す実施の形態 3 と異なるのは、CCD チャネル領域 302 上の第 1 電荷転送電極 403 の電荷転送方向の上流側端部 417 の位置が、電荷転送方向に隣り合う光電変換領域の隙間 418 の間に位置するように構成されている点にある。その他の部分については、実施の形態 3 と同様であるので、同一の符号を付して説明を省略する。

【0065】

次に、かかる固体撮像素子の利点について、図14A、図14Bおよび図14Cを参照して説明する。

【0066】

図14Aは、図13Bの垂直CCDを部分的に示す断面図で、図14Bは、この垂直CCDを $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の4相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第1電荷転送電極403がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図で、図14Cは、 $\Phi V1$ の印加されている第2電荷転送電極504がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図である。図14Bおよび図14Cにおいて、ポテンシャルは下向きを正にとって示されている。

【0067】

前にも述べたように、一般に、CCDの転送効率は、主として転送電極と転送電極との間に発生するフリンジ電界により決定され、特に、転送電極下の最小電界に大きく依存し、最小電界が大きいほど転送に要する時間（転送時間）が短くなり、転送効率は向上する。

【0068】

図14Aに示されるように、本実施の形態による固体撮像素子では、読み出し電圧を低減するために、第2電荷転送電極504の電極長 $L1$ は、第1電荷転送電極403の電極長 $L2$ よりも長く形成されると同時に、第2電荷転送電極504下のCCDチャネル領域302において、電荷転送方向の上流側部分には、ポテンシャル勾配を形成するための n^- 型ポテンシャル段差領域313が形成され、電荷転送方向の下流側部分には、ポテンシャル勾配を形成するための n^+ 型ポテンシャル段差領域315が形成されている。

【0069】

その結果、図14Cに示されるように、第2電荷転送電極504の下には、 n^- 型ポテンシャル段差領域313および n^+ 型ポテンシャル段差領域315により2段のポテンシャル段差314が形成され、第2電荷転送電極504下の最小電

界 312 は、実施の形態 3 と同様に、大きくなる。

【0070】

さらに、本実施の形態による固体撮像素子では、図 14A に示されるように、CCD チャンネル領域 302 上の第 1 電荷転送電極 403 の電荷転送方向の上流側端部 417 の位置が、電荷転送方向に隣り合う光電変換領域の隙間 418 の間に位置するように構成されている。すなわち、第 1 電荷転送電極 403 下の CCD チャンネル領域 302 における電荷転送方向の上流側部分のみが p+ 型素子分離領域 509 に挟まれるように構成されている。

【0071】

その結果、図 14B に示されるように、p+ 型素子分離領域 509 による狭チャンネル効果が、この上流側部分のみに寄与するようになるため、第 1 電荷転送電極 403 下の CCD チャンネル領域にも、第 2 電荷転送電極 504 と同様に、ポテンシャル勾配が形成されるようになり、第 1 電荷転送電極 403 下の最小電界 419 は、従来例および実施の形態 1～3 の固体撮像素子のそれよりも大きくなる。

【0072】

このように、本実施の形態による固体撮像素子によれば、読み出し電圧を低減させるために、第 2 電荷転送電極 504 の電極長 L1 を第 1 電荷転送電極 403 の電極長 L2 よりも長く形成しても、第 2 電荷転送電極 504 下の CCD チャンネル領域 302 に n- 型ポテンシャル段差領域 413 および n+ 型ポテンシャル段差領域 415 を形成することにより、第 2 電荷転送電極 504 下の最小電界 312 を大きくすることができるため、読み出し電圧の低減と転送効率の向上を両立させることができる。

【0073】

さらに、CCD チャンネル領域 302 上の第 1 電荷転送電極 403 の電荷転送方向の上流側端部 417 の位置を、電荷転送方向に隣り合う光電変換領域の隙間 418 の間に位置するように構成することにより、第 1 電荷転送電極 403 下の最小電界 419 も大きくすることができるため、この部分での電荷の転送効率を更に向上させることができる。

【0074】

なお、本実施の形態では、実施の形態3と同様に、第2電荷転送電極504下にn⁻型ポテンシャル段差領域313およびn⁺型ポテンシャル段差領域315の両方が構成されている場合について説明および例示したが、図15Aおよび図15Bに示すように、n⁻型ポテンシャル段差領域313のみが形成されていても良く、あるいは図16Aおよび図16Bに示すように、n⁺型ポテンシャル段差領域315のいずれか一方が形成されていても良く、いずれの構成も同様に第1電荷転送電極403下の電荷の転送効率を向上させることができる。

【0075】

このように、n⁻型ポテンシャル段差領域313あるいはn⁺型ポテンシャル段差領域315のいずれか一方が形成されている固体撮像素子では、図13Aおよび図13Bに示したような、n⁻型ポテンシャル段差領域313およびn⁺型ポテンシャル段差領域315の両方が形成されている固体撮像素子に比べて、ポテンシャル段差領域を形成するためのリソグラフィー工程およびイオン注入工程が削減でき、製造工程の短縮と製造コストの削減が可能となる。

【0076】

以上、上記各実施の形態は、好ましい例について説明したが、本発明はこれらの実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において各種の変更が可能である。例えば、実施の形態1～4では、1画素当り2つの電荷転送電極で構成されるインターレス方式のインターライン転送型固体撮像素子について説明したが、本発明は、1画素当り3つ以上の電荷転送電極で構成されるプログレッシブ方式のインターライン転送型固体撮像素子にも適用することができる。

【0077】

また、上記各実施の形態は、第1電荷転送電極が第1層ポリシリコンで形成され、第2電荷転送電極が第2層ポリシリコンで形成される固体撮像素子について説明および例示したが、本発明は、第1電荷転送電極および第2電荷転送電極のいずれも1層のポリシリコン膜で形成される単層電極構成の固体撮像素子にも適用することができる。

【0078】

また、上記各実施の形態における電荷転送電極は、ポリシリコン膜で形成されている場合に限らず、シリサイド膜、ポリサイド膜、およびその他の導電性電極膜で形成しても良い。

【0079】**【発明の効果】**

以上説明したように、本発明によれば、読み出し電圧を低減させるために、第2電荷転送電極の電極長を第1電荷転送電極の電極長よりも長く形成すると同時に、第2電荷転送電極下のCCDチャネル領域にn⁻型ポテンシャル段差領域およびn⁺型ポテンシャル段差領域のいずれか、もしくは両方を形成することにより、第2電荷転送電極下の最小電界を大きくすることができるため、読み出し電圧の低減と転送効率の向上を両立させることができる。

【0080】

また、CCDチャネル領域上の第1電荷転送電極の電荷転送方向の上流側端部の位置を、電荷転送方向に隣り合う光電変換領域の隙間の間に位置するように構成することにより、第1電荷転送電極下の最小電界も大きくすることができるため、この電極下の転送効率も向上させることができる。

【0081】

その結果、低消費電力、高速駆動、高画質を実現した固体撮像素子を提供することが可能となる、という格別な効果を奏する。

【図面の簡単な説明】

【図1A】 本発明の実施の形態1に係る固体撮像素子における画素構成を示す平面図

【図1B】 図1AのII-II'線に沿った断面図

【図2A】 図1Bに断面図で示す垂直CCDの一製造工程における断面図

【図2B】 図1Bに断面図で示す垂直CCDの一製造工程における断面図

【図2C】 図1Bに断面図で示す垂直CCDの一製造工程における断面図

【図3A】 図1Bまたは図2Cの垂直CCDを部分的に示す断面図

【図3B】 図3Aの垂直CCDをΦV1、ΦV2、ΦV3、ΦV4の4相の

転送クロックにより駆動し、 $\Phi V 2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャンネル領域のポテンシャル分布を示す図

【図 3 C】 図 3 A の垂直 CCD を $\Phi V 1$ 、 $\Phi V 2$ 、 $\Phi V 3$ 、 $\Phi V 4$ の 4 相の転送クロックにより駆動し、 $\Phi V 1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャンネル領域のポテンシャル分布を示す図

【図 4】 本発明の実施の形態 1 に係る固体撮像素子における垂直 CCD の構造の変形例を示す断面図

【図 5 A】 本発明の実施の形態 2 に係る固体撮像素子における画素構成を示す平面図

【図 5 B】 図 5 A の II-II' 線に沿った断面図

【図 6 A】 図 5 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 6 B】 図 5 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 6 C】 図 5 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 7 A】 図 5 B または図 6 C の垂直 CCD を部分的に示す断面図

【図 7 B】 図 7 A の垂直 CCD を $\Phi V 1$ 、 $\Phi V 2$ 、 $\Phi V 3$ 、 $\Phi V 4$ の 4 相の転送クロックにより駆動し、 $\Phi V 2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャンネル領域のポテンシャル分布を示す図

【図 7 C】 図 7 A の垂直 CCD を $\Phi V 1$ 、 $\Phi V 2$ 、 $\Phi V 3$ 、 $\Phi V 4$ の 4 相の転送クロックにより駆動し、 $\Phi V 1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャンネル領域のポテンシャル分布を示す図

【図 8】 本発明の実施の形態 2 に係る固体撮像素子における垂直 CCD の構造の変形例を示す断面図

【図 9 A】 本発明の実施の形態 3 に係る固体撮像素子における画素構成を示す平面図

【図 9 B】 図 9 A の II-II' 線に沿った断面図

【図 10 A】 図 9 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 10 B】 図 9 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 10 C】 図 9 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 10 D】 図 9 B に断面図で示す垂直 CCD の一製造工程における断面図

【図 11 A】 図 9 B または図 10 D の垂直 CCD を部分的に示す断面図

【図 11 B】 図 11 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【図 11 C】 図 11 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【図 12 A】 本発明の実施の形態 3 に係る固体撮像素子における画素構成の変形例を示す平面図

【図 12 B】 図 12 A の II-II' 線に沿った断面図

【図 13 A】 本発明の実施の形態 4 に係る固体撮像素子における画素構成を示す平面図

【図 13 B】 図 13 A の II-II' 線に沿った断面図

【図 14 A】 図 13 B の垂直 CCD を部分的に示す断面図

【図 14 B】 図 14 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第 1 電荷転送電極 403 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【図 14 C】 図 14 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【図 15 A】 本発明の実施の形態 4 に係る固体撮像素子における画素構成の

変形例を示す平面図

【図 15 B】 図 15 A の II-II' 線に沿った断面図

【図 16 A】 本発明の実施の形態 4 に係る固体撮像素子における画素構成の他の変形例を示す平面図

【図 16 B】 図 16 A の II-II' 線に沿った断面図

【図 17】 従来のインターライン転送型の固体撮像素子の全体構成を概略的に示す模式図

【図 18 A】 従来の固体撮像素子における画素構成を示す平面図

【図 18 B】 図 18 A の II-II' 線に沿った断面図

【図 19 A】 図 18 B の垂直 CCD を部分的に示す断面図

【図 19 B】 図 19 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V2$ の印加されている第 1 電荷転送電極 503 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【図 19 C】 図 19 A の垂直 CCD を $\Phi V1$ 、 $\Phi V2$ 、 $\Phi V3$ 、 $\Phi V4$ の 4 相の転送クロックにより駆動し、 $\Phi V1$ の印加されている第 2 電荷転送電極 504 がミドルレベル電圧 V_{VM} からローレベル電圧 V_{VL} に変化する途中の中間電圧におけるチャネル領域のポテンシャル分布を示す図

【符号の説明】

100 フォトダイオード

200 垂直 CCD

300 信号電荷読み出し部

400 水平 CCD

500 出力部

501 n 型光電変換領域

102、202、302、402、502 垂直 CCD の CCD チャネル領域

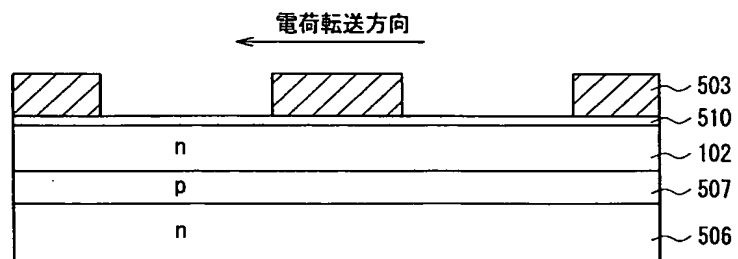
403、503 垂直 CCD の第 1 電荷転送電極

504 垂直 CCD の第 2 電荷転送電極

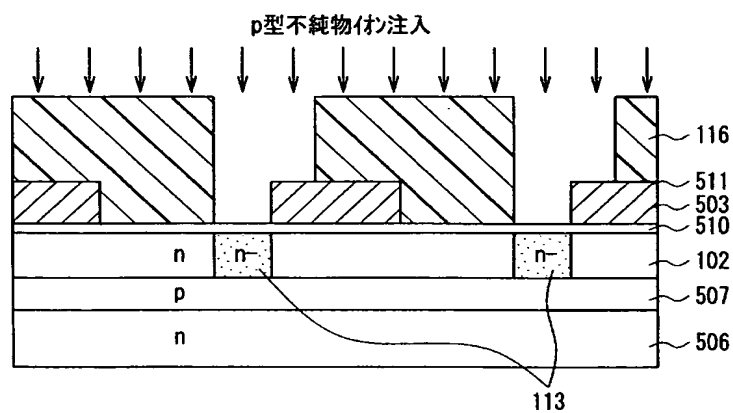
505 第 2 電荷転送電極の光電変換領域からの電荷読み出し部分

- 506 n型半導体基板
- 507 p型ウェル
- 508 p型読み出し領域
- 509 p⁺型素子分離領域
- 510 ゲート絶縁膜
- 511 層間絶縁膜
- 112、212、312、412、512 第2電荷転送電極下の最小電界
- 113、113a、213、313 n⁻型ポテンシャル段差領域
- 113b n⁻型ポテンシャル段差領域
- 114、214、314 ポテンシャル段差
- 215、215b、315 n⁺型ポテンシャル段差領域
- 215a n⁺⁺型ポテンシャル段差領域
- 116、216、316a、316b フォトレジスト
- 417 CCDチャネル領域上における第1電荷転送電極の電荷転送方向の上流側端部
- 418 電荷転送方向に隣り合う光電変換領域の隙間
- 419 第1電荷転送電極下の最小電界

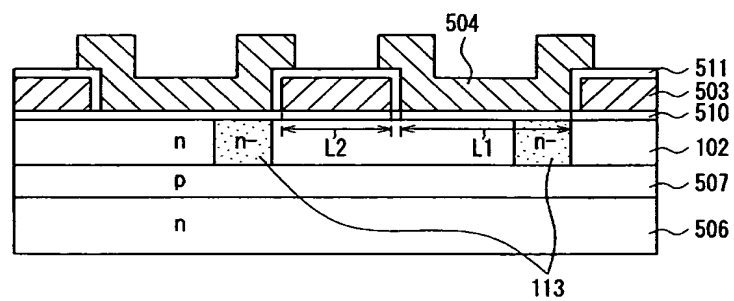
【図 2 A】



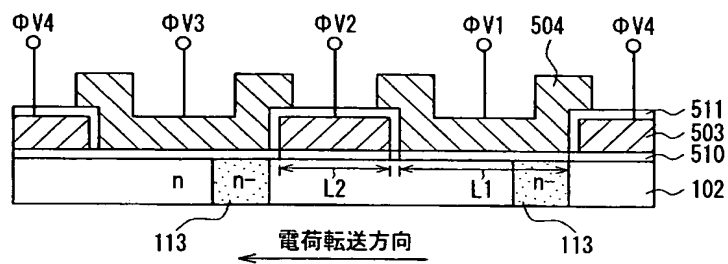
【図 2 B】



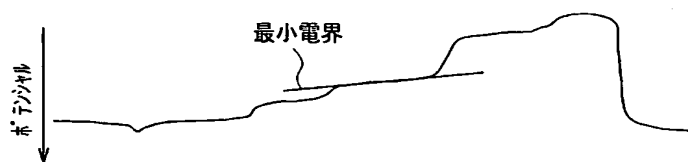
【図 2 C】



【図 3 A】



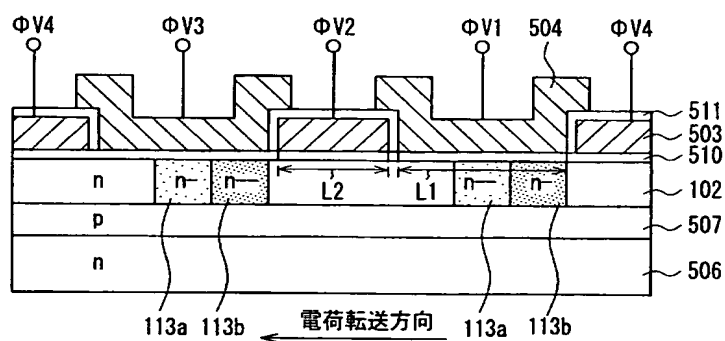
【図 3 B】



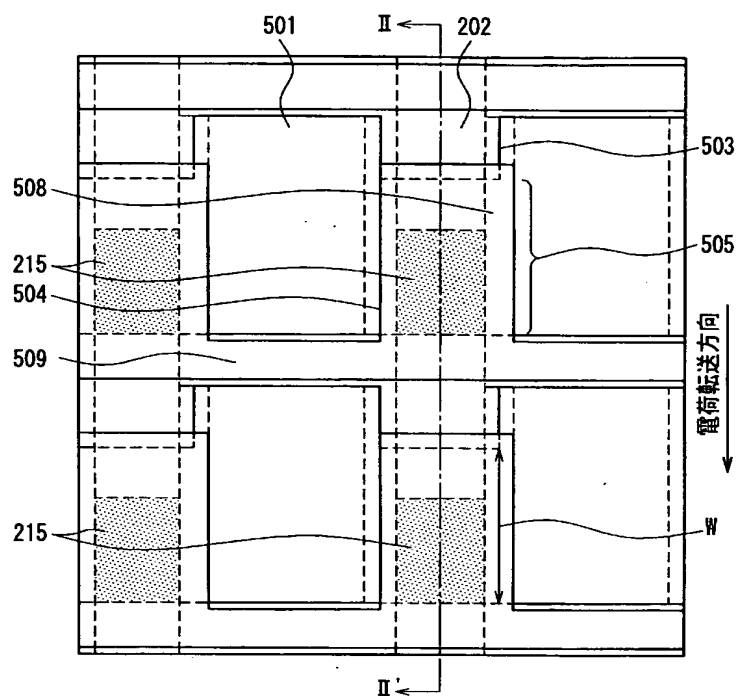
【図 3 C】



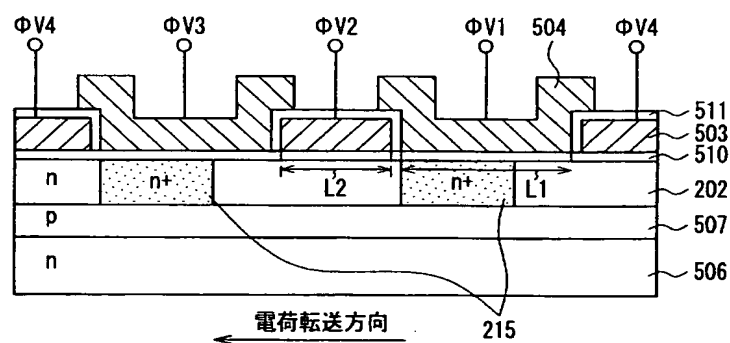
【図 4】



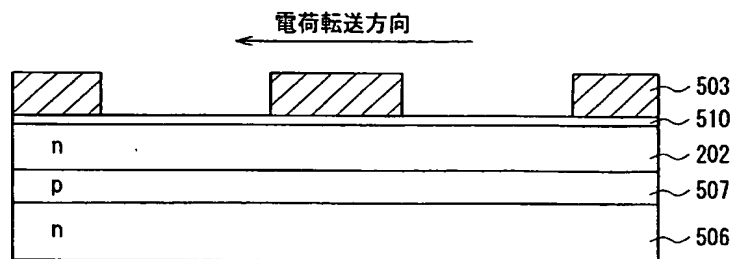
【図 5 A】



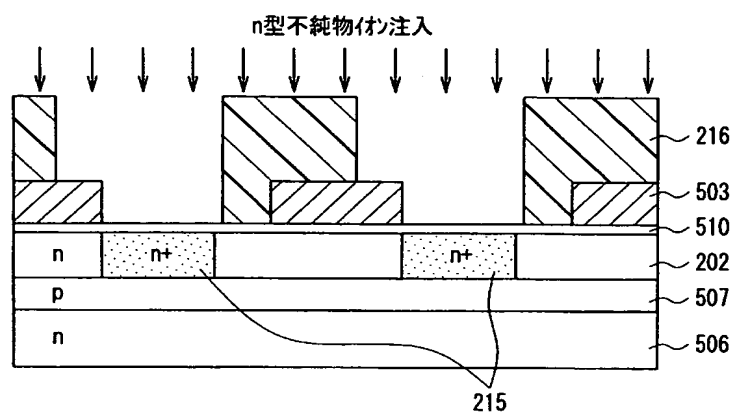
【図 5 B】



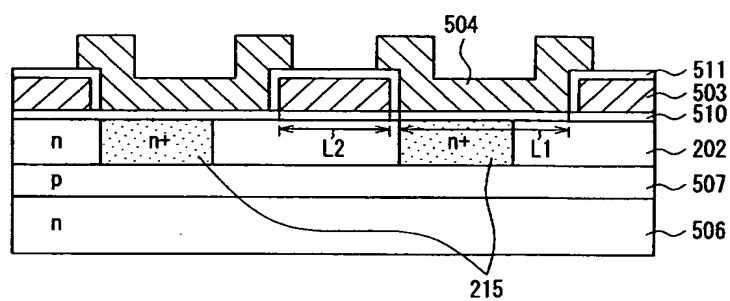
【図 6 A】



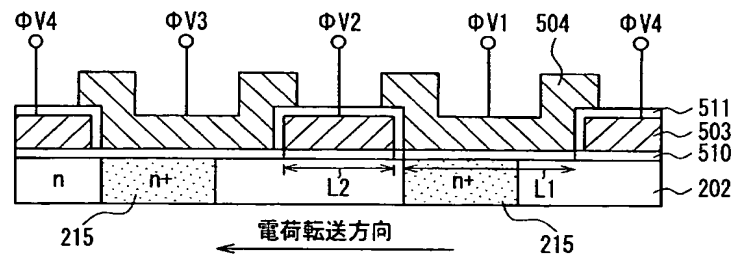
【図 6 B】



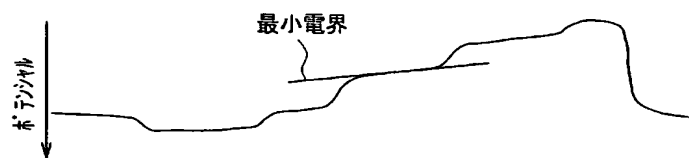
【図 6 C】



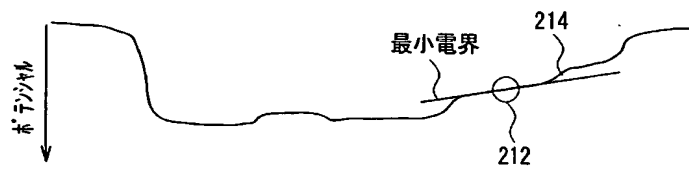
【図 7 A】



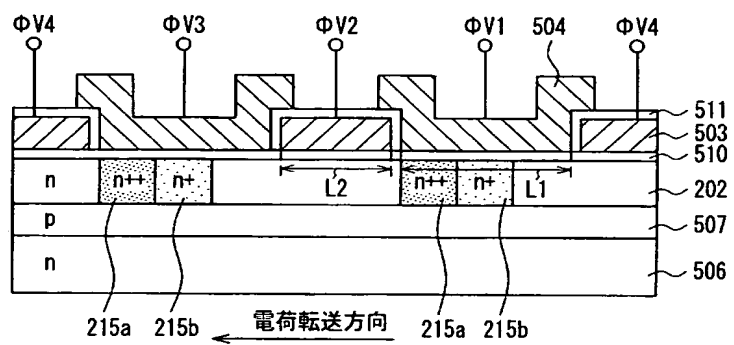
【図 7 B】



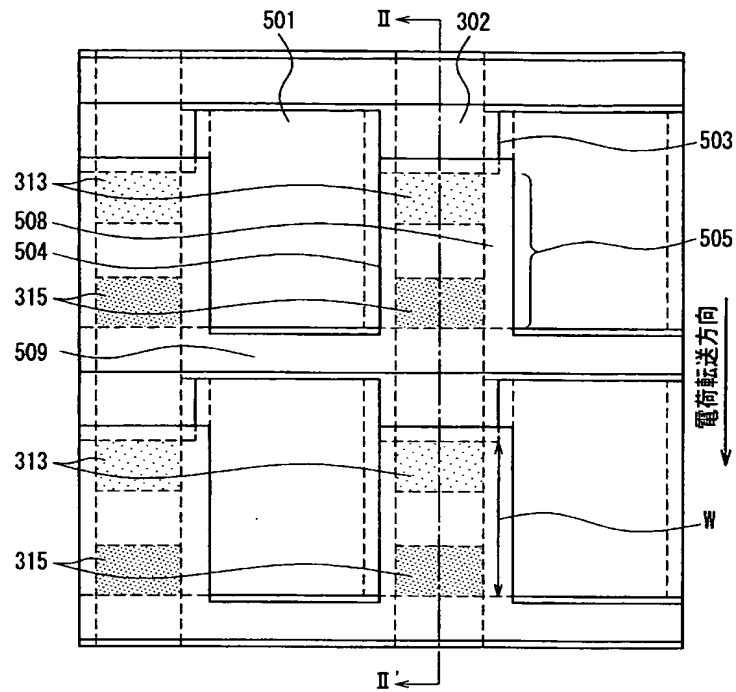
【図 7 C】



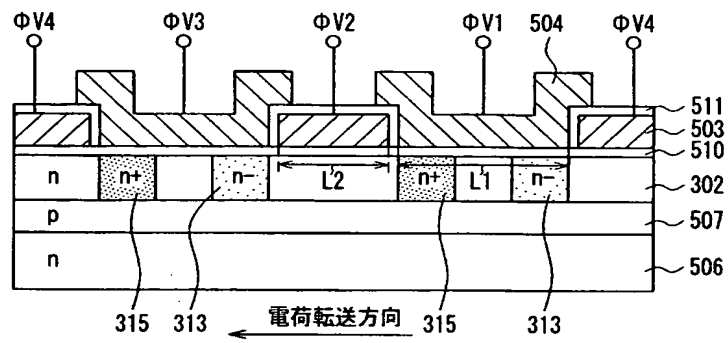
【図 8】



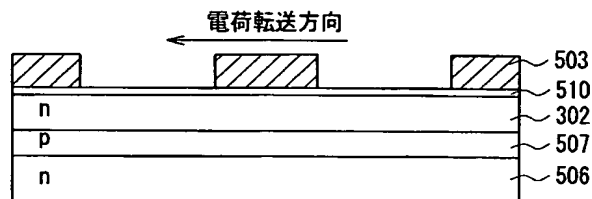
【図 9 A】



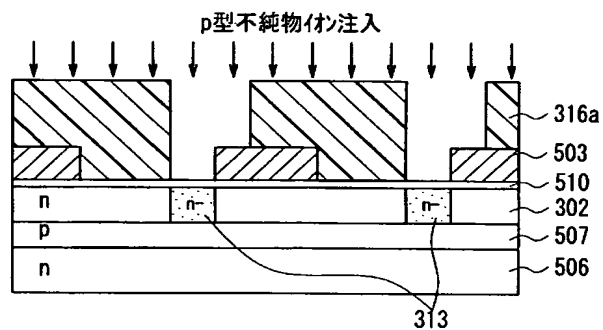
【図 9 B】



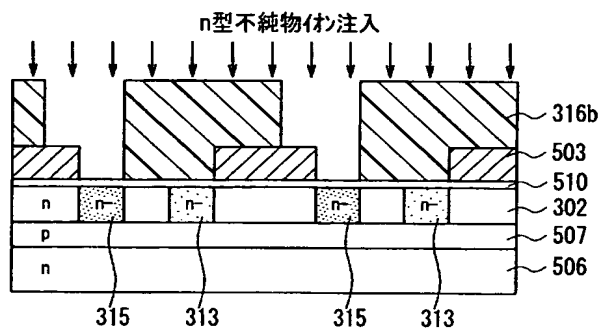
【図 10 A】



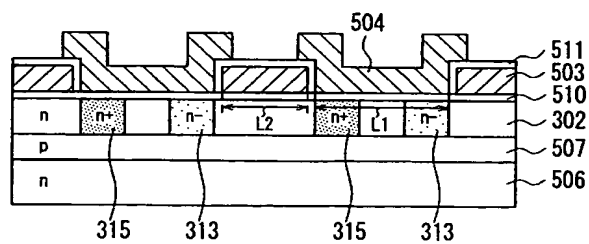
【図 10 B】



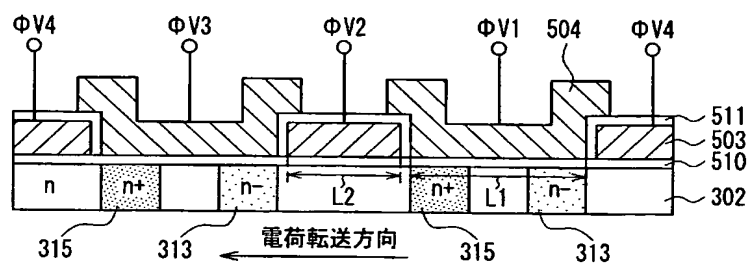
【図 10 C】



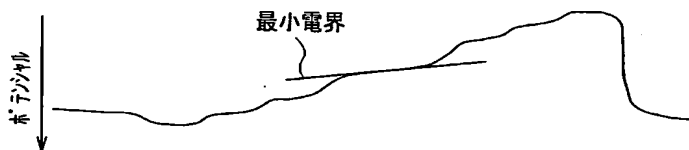
【図 10 D】



【図 11 A】



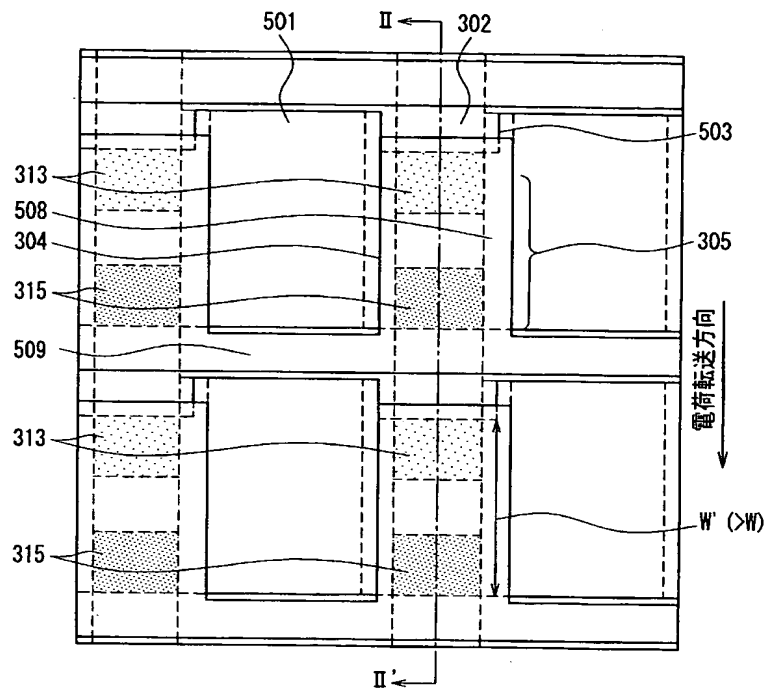
【図 11 B】



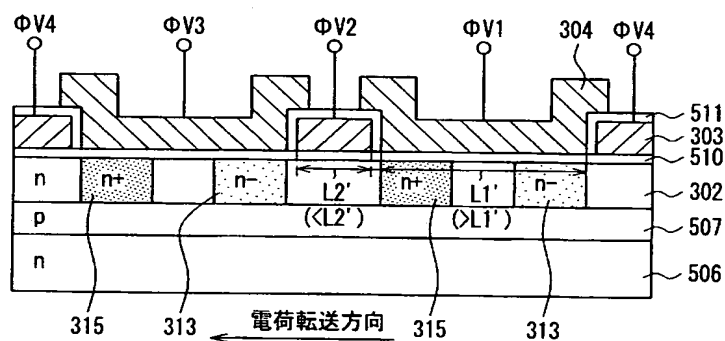
【図 11 C】



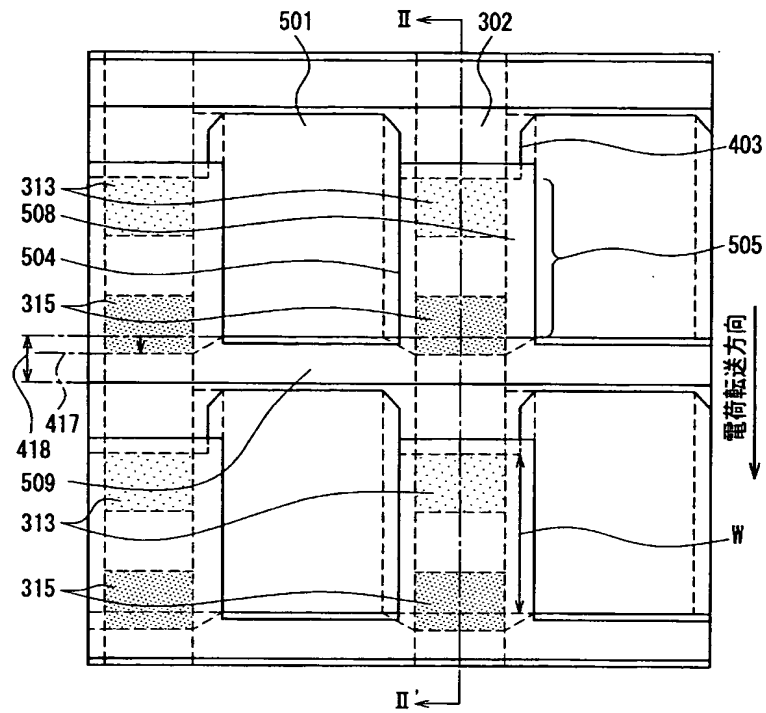
【図 12 A】



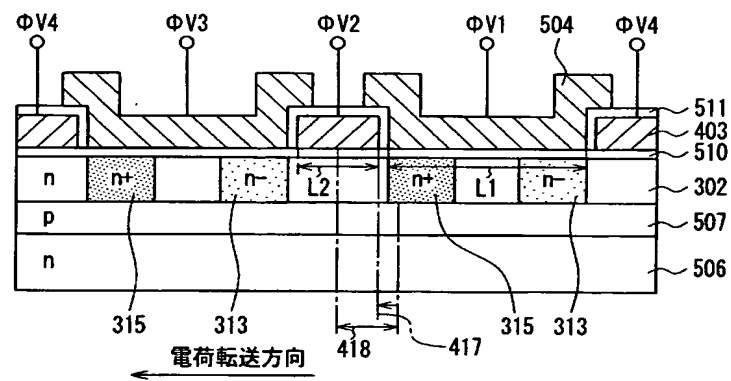
【図 12 B】



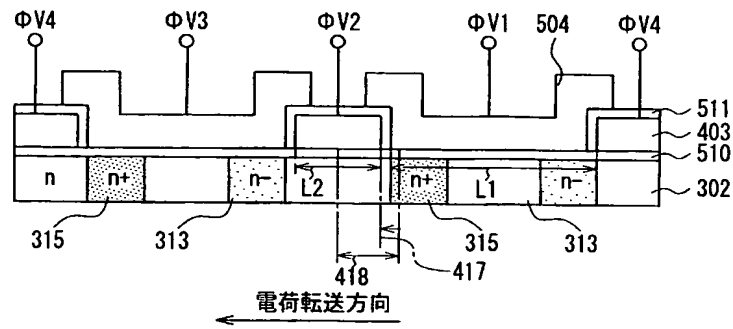
【図 13 A】



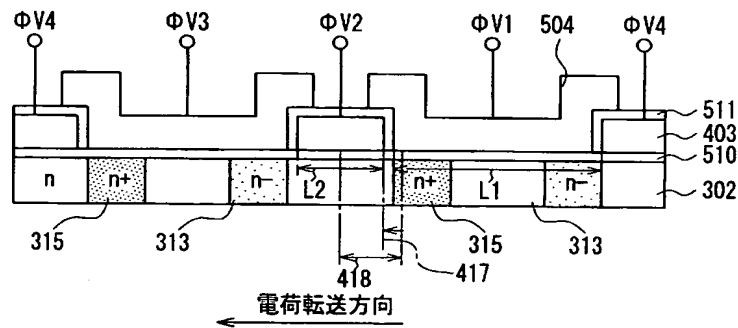
【図 13 B】



【図 1 4 A】



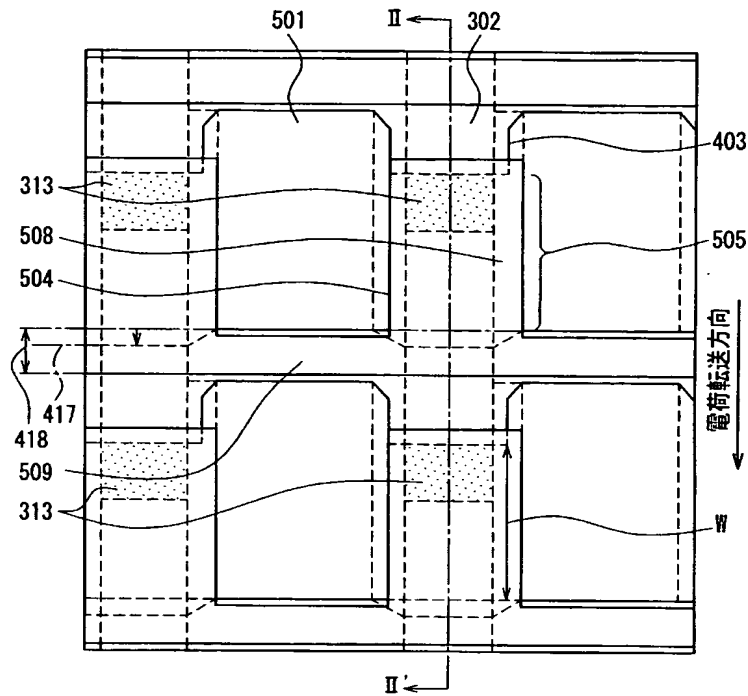
【図 1 4 B】



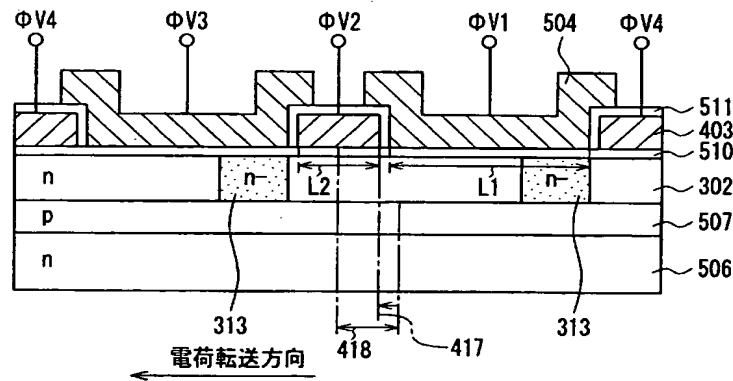
【図 1 4 C】



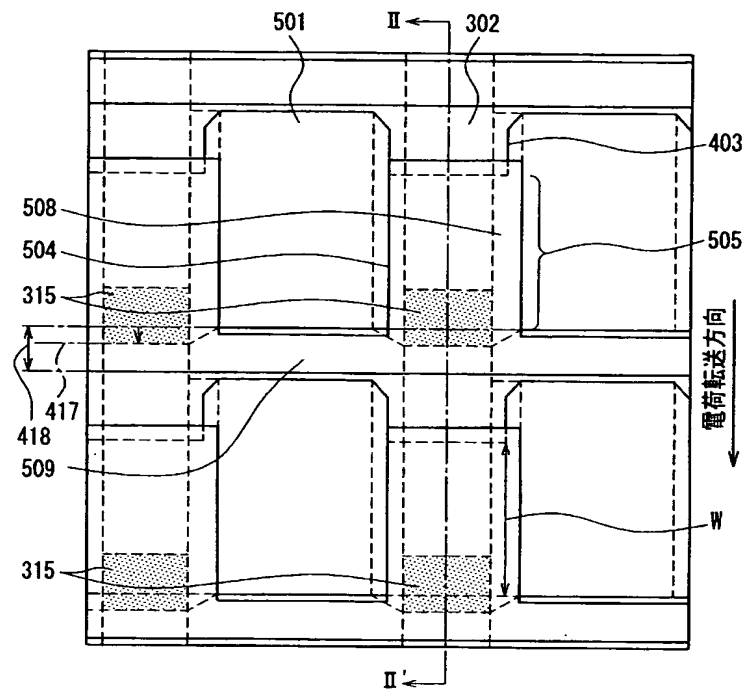
【図 15 A】



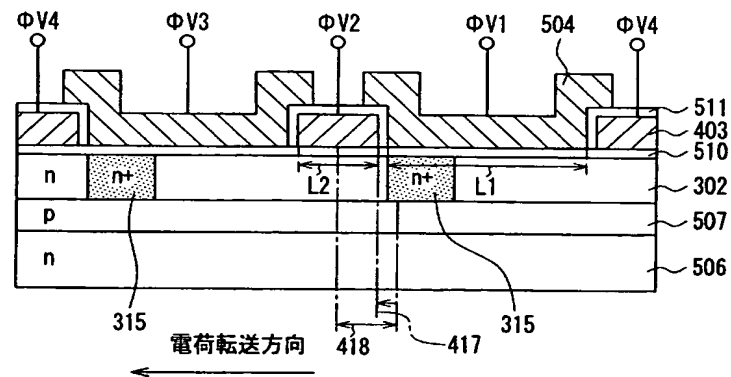
【図 15 B】



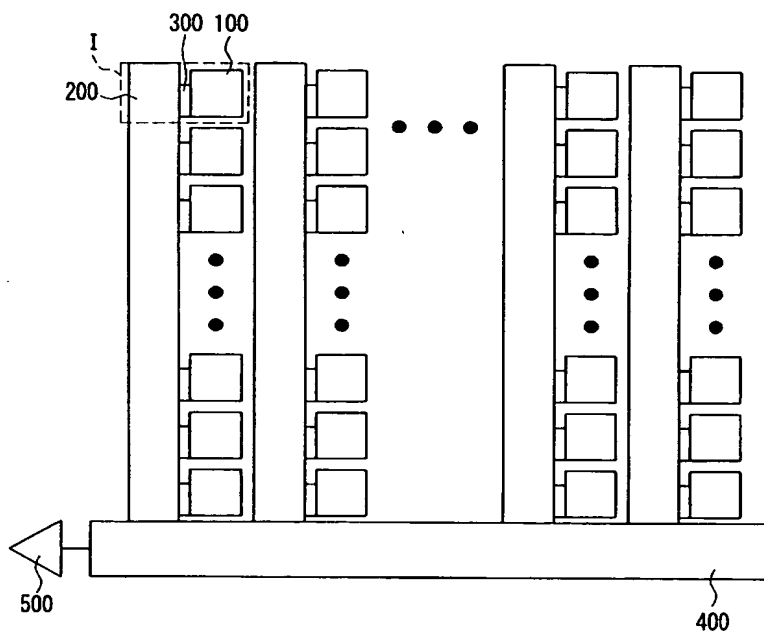
【図 16 A】



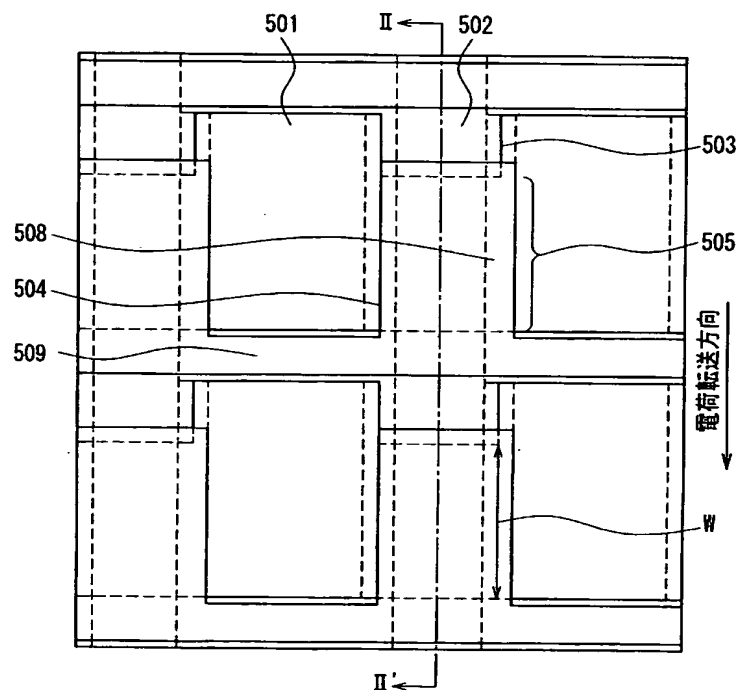
【図 16 B】



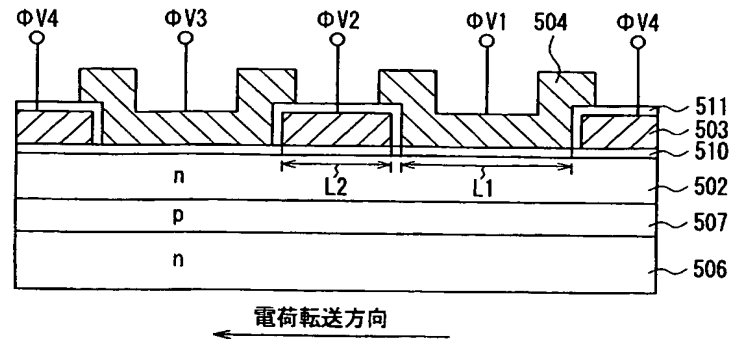
【図 17】



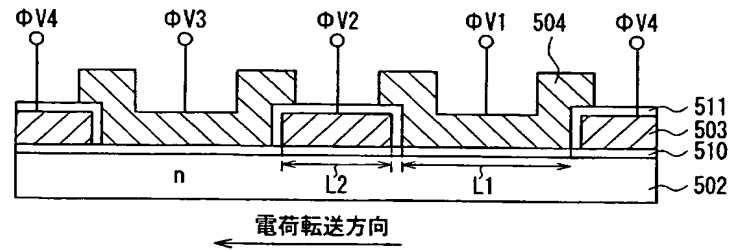
【図 1.8 A】



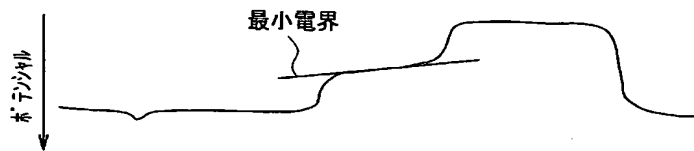
【図 18 B】



【図 19 A】



【図 19 B】



【図 19 C】



【書類名】 要約書

【要約】

【課題】 読み出し電圧の低減と転送効率の向上を両立させた固体撮像素子を提供する。

【解決手段】 n 型半導体基板 5 0 6 に p 型ウェル 5 0 7 が形成され、p 型ウェルの表面領域に C C D チャネル領域 1 0 2 が形成され、C C D チャネル領域の表面にゲート絶縁膜 5 1 0 が形成され、ゲート絶縁膜上に第 1 電荷転送電極 5 0 3 が形成され、第 1 電荷転送電極の周囲には層間絶縁膜 5 1 1 が形成され、ゲート絶縁膜上の第 1 電荷転送電極の隙間に第 2 電荷転送電極 5 0 4 が形成される。第 2 電荷転送電極の電極長 L 1 は、第 1 電荷転送電極の電極長 L 2 よりも長く、かつ第 2 電荷転送電極下の C C D チャネル領域の上流側部分には、p 型不純物のイオン注入により n-型ポテンシャル段差領域 1 1 3 が形成される。

【選択図】 図 1 B

特願 2 0 0 3 - 0 9 5 9 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社